

PERANCANGAN RANGKAIAN ANALOG CMOS MULTIPLIER

¹Brahmantyo Heruseto

²Hamzah Affandi

³Eri Prasetyo

⁴Nur Sultan Salahuddin

^{1,2,3,4} Information Technology Study Program,
Gunadarma University

Jl. Margonda Raya No. 100 Depok 16424

JAWA BARAT – INDONESIA

(brahm,hamzah,eri,sultan@staff.gunadarma.ac.id)

ABSTRAK

Pada tulisan ini membahas perancangan rangkaian analog CMOS Multiplier sebagai rangkaian synapse yang merupakan bagian penelitian pembuatan rangkaian analog Jaringan Syaraf Tiruan menggunakan CMOS. Rangkaian Multiplier yang dibuat menggunakan dasar dari rangkaian four quadrant multiplier yang telah dirancang oleh Gilbert[Gilbert,1974]

Kata Kunci: *Multiplier, Four Quadrant, Analog CMOS*

1. PENDAHULUAN

Perkembangan teknologi komputer saat ini sudah sangat berkembang dengan pesat dalam membantu pekerjaan manusia sehari-hari. Walaupun demikian, dalam banyak hal otak manusia masih lebih unggul dibandingkan komputer. Contoh yang paling baik adalah dalam pemrosesan visual. Jika dapat dibuat bagian terkecil saja dari arsitektur otak manusia maka akan dapat dibuat komputer yang mempunyai kekuatan proses yang sangat hebat. Kemajuan Model Jaringan Syaraf Buatan mendapat perhatian yang semakin baik akhir-akhir ini. Model-model ini merupakan gambaran dari sistem syaraf otak manusia. Sebagai contoh penggunaan “neuron” dan “synapse” yang dapat

ditemukan dalam sistem otak dan jaringan syaraf manusia.

Fungsi dari Jaringan Syaraf Tiruan diharapkan dapat mengaplikasikan kemampuan pengenalan citra, suara dan fungsi-fungsi yang sejenis sesuai dengan kemampuan yang dimiliki manusia. Banyak dari perkembangan model tersebut diimplementasikan menggunakan komputer digital. Perkembangan terakhir dalam ketertarikan penggunaan model ini juga melihat perkembangan teknologi komputer yang sangat cepat. Beberapa hal yang menjadi ketertarikan menggunakan jaringan syaraf dapat dilihat dari berbagai aspek, diantaranya : [Sigvartsen,1994]

- Adaptif : dapat menyesuaikan diri dengan “belajar” dari data terbaru.

- General : dapat menggolongkan data mana yang telah “belajar”.
- Mampu menangani data yang tidak sempurna atau tidak lengkap, dengan menyediakan tingkatan toleransi kesalahan.
- Non-linear : dapat menangkap keterhubungan kompleksitas yang besar.

Penelitian Jaringan Syaraf Tiruan dapat dikembangkan dengan sistem analog maupun digital, bahkan dapat digabungkan diantara kedua-nya. Dalam penelitian ini akan membahas penggunaan Jaringan Syaraf Tiruan menggunakan sistem analog. Beberapa pendapat yang menyatakan sistem analog lebih mempunyai keunggulan. Hal ini dapat dijelaskan sebagai berikut : [Sigvartsen,1994]

- Dalam sistem analog (dan Jaringan Syaraf Tiruan), tingkatan yang tinggi dari toleransi ke-salahan digunakan jika tidak menyebabkan kesalahan yang kritis bila beberapa transistor tidak berfungsi. Hal ini tidak dapat dilakukan pada sistem digital.
- Dimungkinkan untuk membuat rangkaian yang mengaplikasikan kemampuan proses komputasi yang luar biasa dibandingkan dengan ukuran serta kompleksitasnya. Satu contoh adalah proses komputasi dari fungsi aktivasi (dalam neuron). Rangkaian sistem analog yang mem-proses kedua fungsi tersebut hanya mem-butuhkan tujuh transistor dan bila dibandingkan dengan sistem digital maka akan sangat sulit dicapai.
- Penggunaan CMOS analog hanya membutuh-kan konsumsi daya yang kecil, apalagi jika menggunakan CMOS transistor pada daerah *subthreshold*.

- Proses kerja sistem otak juga “analog” : Pemrosesan informasi pemahaman dalam sistem biologi menggunakan sinyal analog, sehingga pemrosean sinyal yang efisien pada Jaringan Syaraf Tiruan dapat diperoleh. Sebagai contoh dalam menjumlahkan beberapa synapse untuk input neuron. Ketika menggunakan arus sebagai jenis semua sinyal output , maka hanya memerlukan perkabelan dari berbagai output *synapse* yang diperlukan untuk melakukan penjumlahan.

Akan tetapi sistem analog tidak tahan terhadap noise, tetapi hal ini tidak berpengaruh untuk Jaringan Syaraf Tiruan. Disamping itu, noise pada Jaringan Syaraf Tiruan dapat digunakan untuk membantu dalam proses learning atau pelatihan [Hertz,1991] [Lehman,1988]

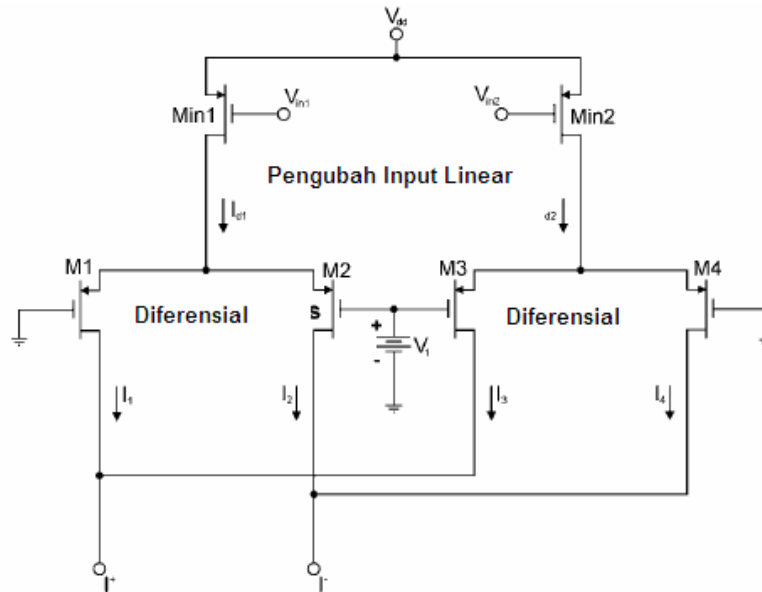
2. TINJAUAN PUSTAKA

Ketika mengimplementasi Jaringan Syaraf Tiruan menggunakan rangkaian analog, terutama perancangan rangkaian synaptic merupakan pekerjaan yang agak rumit karena membutuhkan rangkaian synaptic array yang besar. Biasanya sistem parallel akan terpadu pada silicon die yang sama, sehingga daya rangkaian synaptic sangat berpengaruh menentukan konsumsi keseluruhan chip. Jika N merupakan jumlah dari input atau output neuron jaringan, maka jumlah synapse akan sebanding dengan N^2 . Pertimbangan yang sama dapat terjadi pada ukuran (misalnya ukuran area silicon). Pada jaringan feedforward, rangkaian dasar synaptic adalah four-quadrant analog multiplier. Perancangan rangkaian multiplier ini menggunakan CMOS yang mempunyai kelebihan dalam hal mengurangi area silicon yang digunakan. [Salcuk,1999].

Gambar 1 adalah rangkain dasar four-quadrant transconductance multiplier. Pada tulisan ini akan memodifikasi rangkaian

tersebut. Kedua input merupakan input yang mengubah tegangan ke arus dan empat bagian di bawahnya merupakan

perbedaan bobot yang digunakan sebagai pengali arus.



Gambar 1. Gilbert Multiplier
Sumber : Gilbert (1974)

3. METODE PENELITIAN

Rangkaian synapse yang merupakan salah satu rangkaian pada Jaringan Syaraf Tiruan dapat dibuat menggunakan rangkaian analog multiplier jika beberapa input dan bobot yang diberikan merupakan tegangan. Rancangan rangkaian synapse pada tulisan ini menggunakan versi modifikasi Gilbert Multiplier yang dapat dilihat pada gambar 2. Input-input berupa perbedaan tegangan dan dilambangkan sebagai $(x_2 - x_1)$ dan $(y_2 - y_1)$. Output yang dihasilkan oleh rangkaian Gilbert sebelum dimodifikasi adalah perbedaan arus (U-T) dan perbedaan dalam perancangan ini di ubah menjadi arus tunggal (Z) melalui

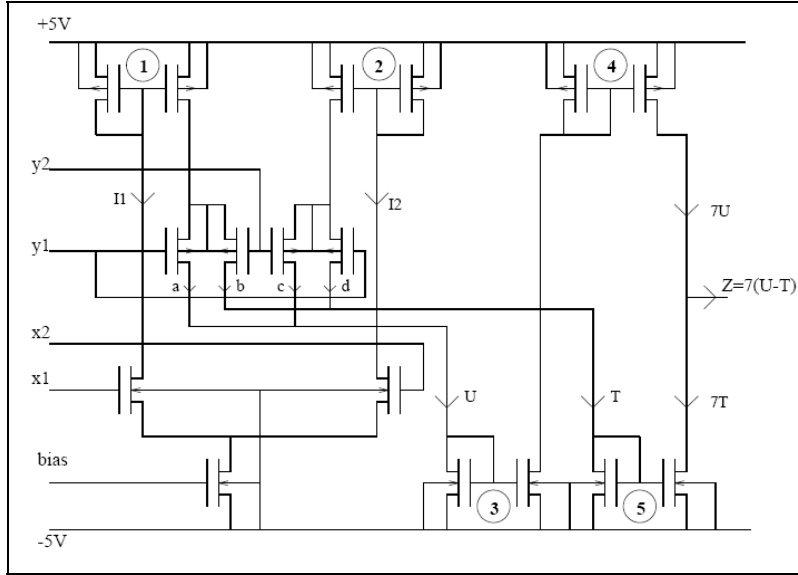
$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad (1)$$

current mirror. Hal ini akan meningkatkan linearitas dari multiplier dan juga memudahkan menghubungkan dengan rangkaian lain. Dengan menggunakan tegangan sebagai input dan synapse mempunyai output arus akan sangat cocok untuk implementasi menggunakan VLSI karena sinyal yang umumnya berasal dari luar banyak dalam bentuk tegangan dan operasi penjumlahan pada output synapse dapat dilakukan dengan menghubungkan seluruh output synapse secara bersamaan.

Output arus dari synapse dapat diperoleh dengan asumsi bahwa transistor bekerja pada daerah saturasi untuk arus drain I_D dari transistor MOS adalah

Dimana β adalah faktor arus, V_{GS} adalah tegangan gate-to-source dan V_T adalah tegangan threshold. Perbedaan pasangan untuk input $\Delta x = (x_2 - x_1)$ menyebabkan

arus I_1 dan I_2 mengalir melalui pasangan perbedaan bobot, $\Delta y = (y_2 - y_1)$, setelah dicerminkan oleh current mirror 1 dan 2,



Gambar 2. Diagram Rangkaian Synapse

$$I_1 = \left(\frac{-\sqrt{\frac{\beta_x}{2}} \Delta x + \sqrt{\frac{\beta_x}{2} \Delta x^2 + 2I_{ss}}}{2} \right)^2 \quad (2)$$

$$I_2 = \left(\frac{\sqrt{\frac{\beta_x}{2}} \Delta x + \sqrt{\frac{\beta_x}{2} \Delta x^2 + 2I_{ss}}}{2} \right)^2 \quad (3)$$

Dimana βx adalah faktor arus dari pasangan perbedaan input dan I_{ss} adalah

arus bias. Perbedaan arus $I_1 - I_2$ dapat disederhanakan menjadi

$$I_1 - I_2 = -\sqrt{\beta_x} \sqrt{I_{ss}} \Delta x \quad (4)$$

Jika $\frac{\beta_x}{2} \Delta x^2$ dapat diabaikan berkenaan dengan $2I_{ss}$. Perbedaan arus ini akan menjadi arus bias untuk pasangan

perbedaan bobot. Oleh karena itu, perbedaan arus a-b dan c-d terbentuk dari pasangan perbedaan bobot dan dapat mendekati

$$a - b = \sqrt{\beta_y} \sqrt{I_1} \Delta_y \quad (5)$$

$$c - d = -\sqrt{\beta_y} \sqrt{I_2} \Delta_y \quad (6)$$

$$(a + c) - (b + d) = \sqrt{\beta_y} \Delta_y (\sqrt{I_1} - \sqrt{I_2}) \quad (7)$$

Dari perhitungan $U - T = (a+c)-(b+d)$ dapat ditulis kembali menggunakan (2) dan (3) menjadi

$$U - T = -\frac{\sqrt{\beta_x \beta_y}}{2} \Delta x \Delta y \quad (8)$$

Arus U dan T dikalikan dengan tujuh dengan masing-masing arus mirror 3,4 dan 5. Akhirnya output arus Z menjadi

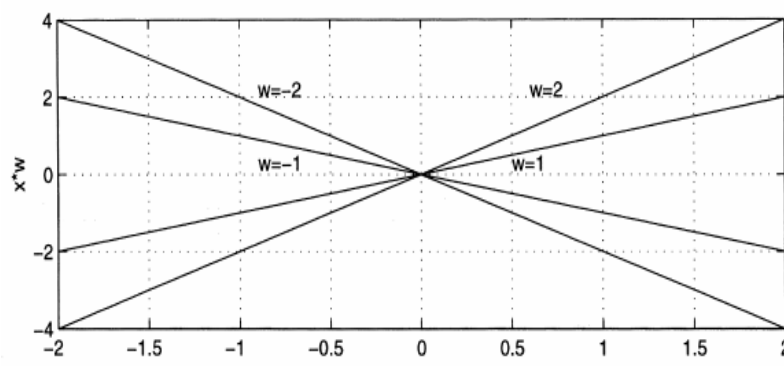
$$Z = -7 \frac{\sqrt{\beta_x \beta_y}}{2} \Delta x \Delta y \quad (9)$$

4. HASIL PEMBAHASAN

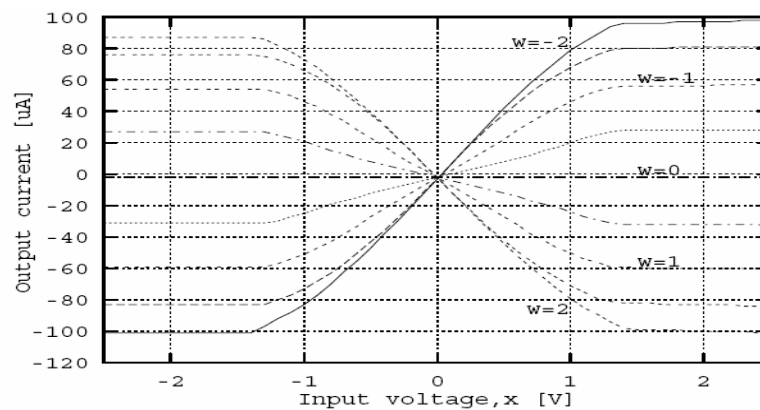
Hasil karakteristik dari arus dari rangkaian synapse untuk perbedaan nilai $W = \{-2, -1, 0, 1, 2\}$ dapat dilihat pada gambar 4. Hasil simulasi SPICE tersebut

DAN

menghasilkan bentuk yang non ideal pada karakteristik synapse dimana bentuk kurva arus sedikit berbeda dari bentuk ideal yang linear dari nilai input dan bobot yang diberikan seperti pada gambar 3



Gambar 3. Multiplier Ideal



Gambar 4. Hasil Simulasi

5. KESIMPULAN DAN SARAN

Rancangan rangkaian analog CMOS Multiplier menghasilkan output yang dapat digunakan sebagai rangkaian synapse pada rangkaian analog Jaringan Syaraf Tiruan. Dalam perkembangan berikutnya rangkaian ini nantinya akan dirancang dan disimulasikan menggunakan CMOS teknologi 0,35 μm .

6. DAFTAR PUSTAKA

A. von Lehman, E.G. Paek, P.F. Liao, A. Marrakchi, J.S. Patel, "Factors Influencing Learning by Back-Propagation. IEEE International

Confe-rence on Neural Networks", Vol. I, pp. 335-341, San Diego 1988.

B. Gilbert, "A High-Performance Monolithic Multiplier Using Active Feedback," IEEE JSSC , Vol. SC-9, No. 6, pp. 364-373, December 1974.

John Hertz, Anders Krogh, Richard G. Palmer, "Introduction to the Theory of Neural Compu-tation", Addison-Wesley, 1991.

Ogrenci, Arif Selcuk, "Multilayer Perceptron Neural Network In Analog VLSI - A System Level Study", Bogazici University, 1999.

Sigvartsen, Roy Ludwig, "An Analog Neural Network With On-Chip Learning", PhD Thesis, Universitas Osloensis, 1994.